



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06044773 A**

(43) Date of publication of application: 18 . 02 . 94

(51) Int. Cl.

G11C 11/406

(21) Application number: 04199337

(71) Applicant: NEC CORP

(22) Date of filing: 27 . 07 . 92

(72) Inventor: MUROTANI KITOKU

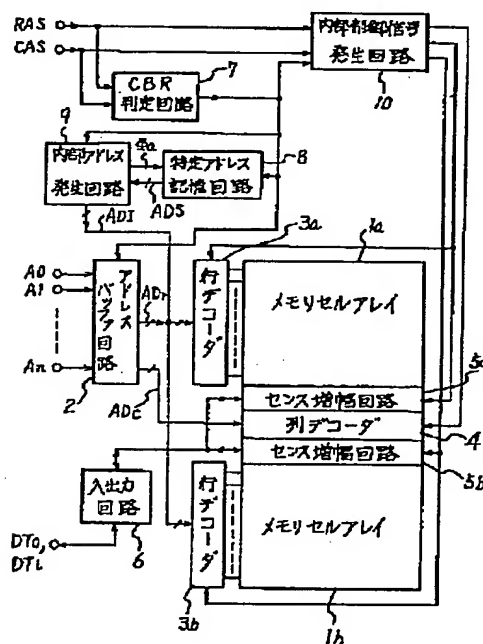
(54) DYNAMIC SEMICONDUCTOR MEMORY

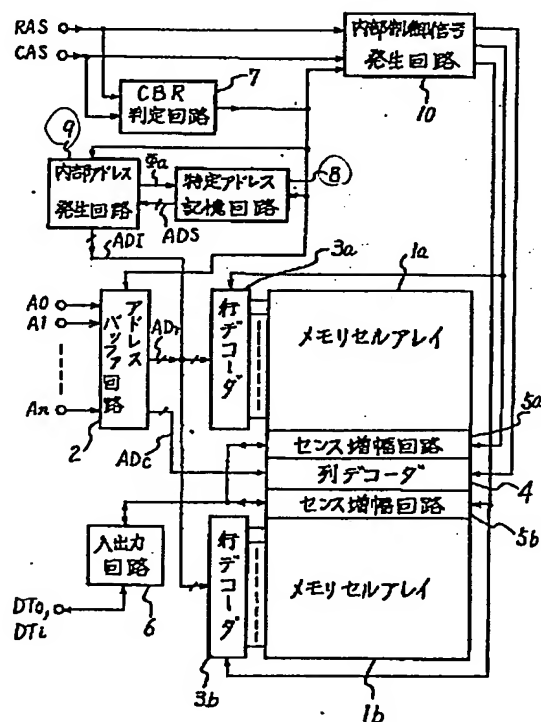
(57) Abstract:

PURPOSE: To reduce power consumption at a refreshing time without requiring an excessive data holding characteristic to a memory cell.

CONSTITUTION: A specific address storage circuit 8 storing a row address having a memory cell with the bad data holding characteristic is provided. A switching means inserting plural circuits in the row address stored in the specific address storage circuit 8 while the row address in memory cell arrays 1a, 1b makes a tour is provided in an internal address generation circuit 9.

COPYRIGHT: (C)1994,JPO&Japio





【特許請求の範囲】

【請求項1】 複数のメモリセルを配列したメモリセルアレイと、このメモリセルアレイのメモリセルを所定のリフレッシュアドレスごとに順次リフレッシュするリフレッシュ手段と、前記メモリセルアレイのメモリセルのリフレッシュが一巡する間に前記リフレッシュアドレスのうちの特定のリフレッシュアドレスのメモリセルに対し所定の間隔で複数回リフレッシュを行う短周期リフレッシュ手段とを有することを特徴とするダイナミック型半導体メモリ。

【請求項2】 短周期リフレッシュ手段が、特定のリフレッシュアドレスを記憶する特定アドレス記憶部と、順次指定されるリフレッシュアドレスの間に前期特定アドレス記憶部に記憶されている特定のリフレッシュアドレスを所定の周期で挿入するリフレッシュアドレス切換部とを含んで構成された請求項1記載のダイナミック型半導体メモリ。

【請求項3】 特定のリフレッシュアドレスを外部からプログラムできるようにした特許請求範囲第1項記載のダイナミック型半導体メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はダイナミック型半導体メモリに関し、特にリフレッシュ制御回路を備えたダイナミック型半導体メモリに関する。

【0002】

【従来の技術】 ダイナミック型半導体メモリの大容量化は3年に2倍の割合で進み、既に64MビットDRAMの発表が行われている。DRAMのこのような大容量化に伴いその応用範囲も広がり、携帯型のパソコン、ワープロ等にも数多く使われるようになってきている。従来このような用途には消費電力の少ないSRAMが使われてきたが、低価格化のため同一容量に対して安いDRAMが使用されるようになってきた。ところが、DRAMはメモリセルの蓄積情報を維持するため、定期的なリフレッシュが必要となり、SRAMに比較して本質的に消費電力が大きい。この欠点を補うため、スタンバイ状態では、リフレッシュ周期を長くして消費電力を低下させている。例えば、4MビットDRAMでは16msが標準のリフレッシュ周期であるが、低消費電力品としてはその8倍の128msのリフレッシュ周期を保障した製品があり、その消費電力は1/5以下になっている。このようにリフレッシュ周期を長くすれば消費電力を低下させることができるが、メモリセルのデータ保持特性に対する要求は過大なものになってしまうという問題がある。

【0003】 DRAMは世代ごとに、記憶容量が4倍になり、リフレッシュサイクル数が2倍になる。このため、リフレッシュ周期を2倍にして全体の動作時間に占めるリフレッシュ時間を一定の比率に保っている。従っ

て、メモリセルは無条件に前世代の2倍のデータ保持特性が要求され、さらに低消費電力のため、より以上のデータ保持特性が必要とされている。一方メモリセルは高密度化のため、微細加工により縮小され、蓄積容量も前世代に比較して小さくなっている。また、低下する蓄積容量を補うため、容量絶縁膜も薄くなるといった悪条件のため、セル部で発生する漏れ電流を低減することが困難になってきている。このため、回路的にリフレッシュ周期を長くし、消費電力を低減することは容易であるが、これに対応してメモリセルのデータ保持特性を向上させることは容易ではない。

【0004】

【発明が解決しようとする課題】 上述のように、従来、ダイナミック型半導体メモリは、メモリセルの定期的なリフレッシュが必要なため、本質的に消費電力が大きく、スタンバイ状態でリフレッシュ周期を長くして消費電力を低下させると、メモリセルに過大な保持特性が要求されることになり、リフレッシュ周期の延長による低消費電力化には限界があるという問題があった。

【0005】 本発明の目的は、メモリセルに過大な保持特性を要求することなく低消費電力化を可能にしたダイナミック型半導体メモリを提供することにある。

【0006】

【課題を解決するための手段】 本発明のダイナミック型半導体メモリは、複数のメモリセルを配列したメモリセルアレイと、このメモリセルアレイのメモリセルを所定のリフレッシュアドレスごとに順次リフレッシュするリフレッシュ手段と、前記メモリセルアレイのメモリセルのリフレッシュが一巡する間に前記リフレッシュアドレスのうちの特定のリフレッシュアドレスのメモリセルに対し所定の間隔で複数回リフレッシュを行う短周期リフレッシュ手段とを有している。

【0007】 また、短周期リフレッシュ手段が、特定のリフレッシュアドレスを記憶する特定アドレス記憶部と、順次指定されるリフレッシュアドレスの間に前期特定アドレス記憶部に記憶されている特定のリフレッシュアドレスを所定の周期で挿入するリフレッシュアドレス切換部とを含んで構成される。

【0008】

【実施例】 次に本発明の実施例について図面を参照して説明する。

【0009】 図1は本発明の第1の実施例を示すブロック図である。

【0010】 メモリセルアレイ1a, 1bはそれぞれ、行列マトリクス状に配列された複数のメモリセルを備え、指定された行列のメモリセルに対しデータの書込みを行い、またこのメモリセルの記憶データを読出す。

【0011】 アドレスバッファ回路2は、リフレッシュ判定信号がインアクティブレベルの通常動作時、ローアドレスストロブ信号RASに同期して入力アドレスA

o~Anをラッチし行デコーダ3a, 3bに供給し、カラムアドレスストロブ信号CASに同期して入力アドレスAo~Anをラッチし列デコーダ4に供給する。また、リフレッシュ判定信号がアクティブレベルのリフレッシュ動作時には、出力端を高インピーダンス状態とする。

【0012】行デコーダ3a, 3bは、通常動作時、アドレスバッファ回路2から行アドレス信号ADrに従ってメモリセルアレイ1a, 1bの行を選択し、リフレッシュ動作時には内部アドレス信号ADIに従ってメモリセルアレイ1a, 1bの行を選択する。

【0013】列デコーダ4は、通常動作時、アドレスバッファ回路2から列アドレス信号ADcに従ってメモリセルアレイ1a, 1bの列を選択し、リフレッシュ動作時には全ての列を選択状態とする。

【0014】センス増幅回路5a, 5bは、メモリセルアレイの選択状態のメモリセルから読出されてディジット線に伝達されたデータを増幅して入出力回路6へ伝達し（このときディジット線を介してそのメモリセルに再書き込みされる）、入出力回路6からのデータをディジット線を介してメモリセルへ供給する。

【0015】入出力回路6は、外部からのデータDTiをセンス増幅回路5a, 5bへ供給し、センス増幅回路5a, 5bからのデータを外部へ出力(DTo)する。

【0016】CBR判定回路7は、ローアドレスストロブ信号RAS（以下RAS信号という）及びカラムアドレスストロブ信号CAS（以下CAS信号という）のレベル関係を判別してリフレッシュ動作か否かを判定し、リフレッシュ動作のときアクティブレベルとなるリフレッシュ判定信号を出力すると共に、RAS信号、CAS信号を出力する。

【0017】特定アドレス記憶回路8は、メモリセルアレイ1a, 1bの行のうち、データ保持時間が短いメモリセルの保存する行のアドレスを記憶しておき、アドレス切換信号Φaが、アクティブレベルのときこの記憶しているアドレスを順次出力する。

【0018】内部アドレス発生回路9は、RAS信号に同期してメモリセルアレイ1a, 1bの行アドレス信号を順次発生すると共に、この行アドレス信号によるアドレスが一巡する間に、所定の周期でアドレス切換信号Φaを出力し、特定アドレス記憶回路8に記憶されているアドレスの信号を複数回路上述の行アドレス信号に挿入し内部アドレス信号ADIとして出力する。

【0019】内部制御信号発生回路10は、RAS信号、CAS信号及びリフレッシュ判定信号等に同期して各種内部制御信号を発生し、各部の通常動作、リフレッシュ動作を制御する。

【0020】通常、ダイナミック型半導体メモリで消費される電力はほとんどすべてが、各種寄生容量の充放電電流、及び過渡的に流れるトランジスタ間の貫通電流で

あり、定常電流はほとんどない。従って、動作サイクル時間を長くすれば、それに反比例して消費電流が低下する。従って、リフレッシュ周期を長く設定すれば、その時間に必要なリフレッシュサイクル数は一定であるため、動作サイクル時間を長くすることが可能になり、消費電力を低減することができる。

【0021】ところで、例えば4MDRAMの持つ4Mビットのメモリセルのデータ保持特性は一樣ではなく、非常に大きなばらつきがある。図2は室温で測定したメモリセルのデータ保持特性を、横軸にデータ保持時間、縦軸に不良となるビット数の累積を両対数でとったものである。最も特性の悪いビットは1秒の保持時間しかないが、100秒の保持時間でも累積の不良ビット数は数100ビットにしか過ぎず、4Mビットの僅か1/10000以下でしかない。

【0022】4MDRAMのデータ保持時間規格は16msと定められている。これはデータ保持特性の悪化する70℃の高温環境での最低値であるから、室温では0.5秒程度の保持特性がないとこの規格を満たすことはできない。つまり99.9%以上の大部分のビットは規格の対して100倍以上の余裕ある特性を持っているにもかかわらず、ごく一部の特定の悪いビットのためにすべてのビットのリフレッシュを短い周期で行わなければならないのである。

【0023】そこで本発明では、個々のメモリセルごとのデータ保持特性を測定し、この特性の悪いメモリセルと、そうでないメモリセルとを分離して、各メモリセルに適応したリフレッシュを行い、実効的なリフレッシュを低減して消費電力を低下させることを特徴としている。リフレッシュはワード線（行）を単位に行われるため、あらかじめデータ保持特性の低いメモリセルを含むワード線（行）を抽出し、そのアドレスを記憶しておく。その場合の抽出基準を例えば、通常の規格の2倍とする。つまり、通常の規格を先の例に従って室温で0.5秒とし、1秒以下のデータ保持特性しかないメモリセルを含むワード線（行）のアドレスだけが記憶されることになる。こうすることにより、リフレッシュ動作時にはこのアドレスを利用して、データ保持特性の悪いアドレスだけを短い周期でリフレッシュすることができ、実効的なリフレッシュを低減して消費電力を低下させることができる。

【0024】ここで、4MDRAMの入力アドレスはA0~A10（図1においてn=10）の11ビットあり、これに時分割で、行、列のアドレスを入力する。従って、論理的には2048行、2048列のマトリックス構成になっている。しかしながら、リフレッシュは行アドレスのA0~A9の10ビットによる1024サイクルで行うよう規定されている。このため、実際のマトリックスは、図1に示すように、1024本のワード線（行）を駆動する同じ行デコーダが2台（3a, 3b）

あり、これがそれぞれメモリセルアレイ1a, 1bのワード線(行)を同時に駆動する構成になっている。

【0025】リフレッシュ動作では、1024本ずつのワード線(行)を順次選択するように内部アドレス信号ADIを供給すると、それぞれのブロックで1本ずつのワード線(行)が選択され、両方のブロックで同時にリフレッシュが行われ、不良のメモリセルがなければ1024サイクルで全てのメモリセルのリフレッシュが完了する。

【0026】次にDRAMが標準で搭載しているリフレッシュ機能である(Cas Before Ras)リフレッシュについて説明する。CBRリフレッシュ動作とは、DRAMではRAS信号をCAS信号に先行してアクティブレベルとするのが通常の動作モードであるのに対して、逆にCAS信号をRAS信号に先行させてアクティブレベルとすることで実行される。此時、CBR判定回路7でRAS信号、CAS信号の信号入力順によってCBRリフレッシュモードか否かを判定し、CBRリフレッシュモードであれば、外部からのアドレス信号の代りに内部アドレス発生回路9からの内部アドレス信号が行デコード3a, 3bに入力される。内部アドレス発生回路9はRAS信号に同期してリフレッシュアドレス(内部アドレス信号ADI)を順次発生し、メモリセルのリフレッシュが外部からのアドレスの入力なしに自動的に進行して行く。

【0027】このようなCBRリフレッシュを利用してスタンバイ状態では、RAS信号だけを一定の周期で入力し続けられ、メモリセルのデータを保持することができる。この場合のRAS信号の周期の決め方は次のようになる。

【0028】リフレッシュ規格は、4MDRAMでは1024サイクル/16msであるから、16msの間に1024サイクルのクロックを入力しなければならない。つまり $16\text{ms}/1024=1.5\mu\text{s}$ 以下の周期でクロックを入力する必要がある。

【0029】ここまでは従来例の方式と同一である。ところが先に述べたように、この周期でリフレッシュを必要とするのはごく一部のメモリセルだけで、残りは2倍以上の周期でリフレッシュすれば十分である。そこで本発明では、全体のリフレッシュ周期を長くし、部分的にデータ保持特性の悪いセルのみ短い周期でリフレッシュを行う手段を有している。

【0030】あらかじめデータ保持特性の低いメモリセルを含むワード線(行)は抽出され、そのアドレスは特定アドレス記憶回路8に記憶されている。これらのメモリセルだけ、他のデータ保持特性の良いメモリセルの1/2の周期でリフレッシュが行われるよう制御する。この様子を図3のタイミング図を用いて説明する。この場合のRAS信号の周期はデータ保持特性のよいメモリセルに合せて先の例に対応させれば、2倍の31μsとな

る。

【0031】内部アドレス発生回路9は、外部からのRAS信号に同期して0番地から順に1023番地までの行アドレスを発生する。ここでデータ保持特性の悪いメモリセルを1/2の周期でリフレッシュするため、行アドレスが511番地まで進んだところで割込みを行ない、特定アドレス記憶回路8に記憶されている特定のアドレスが出力させる。その後再び、元の順に戻り、512番地からの行アドレスが順次出力される。最終の1023番地になると再び割込みが入り特定のアドレスが出力され、その後0番地に戻り以下これが繰返される。この切換制御は、切換信号Φaで行いアドレスA9の立ち上がり及び立ち下りのエッジを用いて発生させる。

【0032】以上述べたように、本実施例では外部からのRAS信号周期及びリフレッシュ周期を2倍にしているため、その消費電力はほぼ1/2となって低消費電力化が達成され、しかもメモリセルに過大なデータ保持特性を要求することなく蓄積情報の保持が保証できる。

【0033】本実施例ではデータ保持特性の判定基準として、通常規格の2倍を例に説明したが、この基準は任意に設定可能であり、データ保持特定の低いメモリセルが少なければ3倍、4倍に設定して、消費電力を1/3、1/4とすることも可能である。また割込み制御に用いるアドレスも任意であり、複数のアドレスで論理を構成して、前記に対応した割込み周期を設定することができる。

【0034】また、このような制御を行なうとリフレッシュサイクルは1024ではなく、特定アドレス記憶回路8に記憶されているアドレス分増加することになる。しかしながら、リフレッシュサイクル数の増加は1%以下であるので全く問題はない。

【0035】次に特定アドレス記憶回路8への特定アドレスの書き込み方法について述べる。本発明では、初期の測定時にデータ保持特性の判定を行い、特定アドレス記憶回路8内にそのアドレスをプログラミングしなければならない。その方法も様々考えられるが、1MDRAM以降使われている冗長技術を用いるのが最も簡単である。冗長技術では不良セルを検出し、その置換情報をレーザ等を用いて多結晶シリコン等のヒューズを溶断して書き込むものであるが、全く同じように、特定アドレス記憶回路8内にヒューズを設け、冗長プログラミング時に同時に書き込みを行えばよい。

【0036】図4及び図5は本発明の第2の実施例のブロック図及びその各部信号のタイミング図である。

【0037】第1の実施例では外部からのRAS信号の周期を2倍にして入力したが、この第2の実施例では外部からのRAS信号の周期は変えずに内部で分周器11により分周し、同様の効果を実現している。その他の構成、動作、効果は基本的には第1の実施例と同様であるので、その説明は省略する。

【0038】

【発明の効果】以上説明したように本発明によれば、スタンバイ状態でのリフレッシュ動作時、特定アドレス記憶回路に記憶されたデータ保持特性の悪いメモリセルを含む行アドレスだけが、他よりも短い周期でリフレッシュされるため、メモリセルに過大なデータ保持特性を要求することなくリフレッシュ周期を長くし、消費電力を低減することができる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すブロック図である。

【図2】図1に示された実施例のメモリセルのデータ保持特性図である。

【図3】図1に示された実施例の各部信号のタイミング図である。

【図4】本発明の第2の実施例を示すブロック図であ

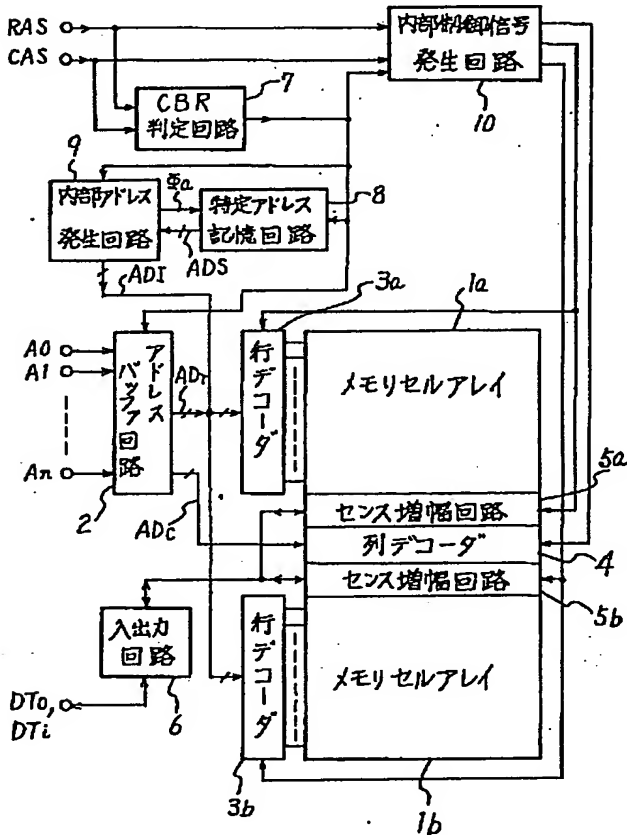
る。

【図5】図4に示された実施例の各部信号のタイミング図である。

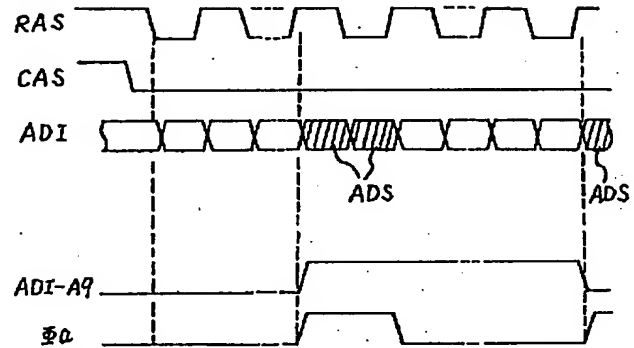
【符号の説明】

- 1 a, 1 b メモリセルアレイ
- 2 アドレスバッファ回路
- 3 a, 3 b 行デコーダ
- 4 列デコーダ
- 5 a, 5 b センス増幅回路
- 6 入出力回路
- 7 CBR判定回路
- 8 特定アドレス記憶回路
- 9 内部アドレス発生回路
- 10 内部制御信号発生回路
- 11 分周器

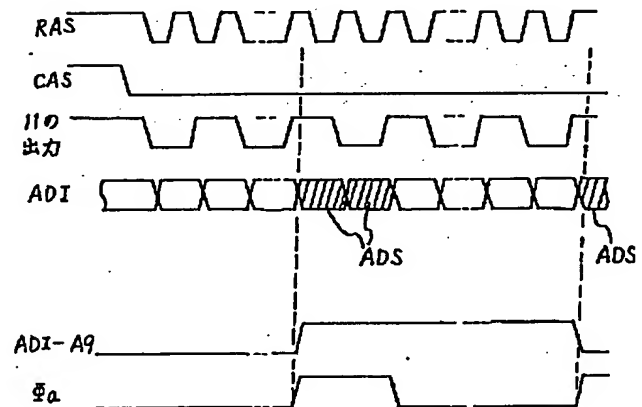
【図1】



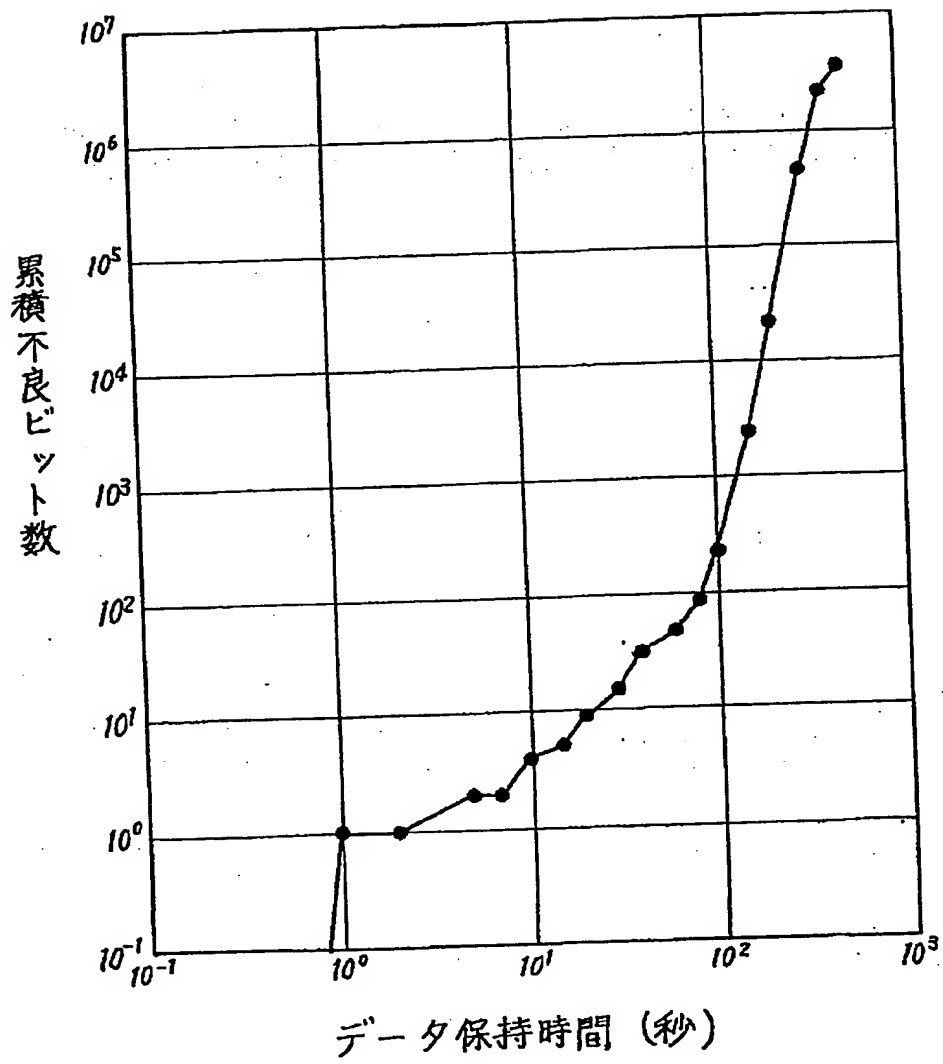
【図3】



【図5】



【図2】



【図 4】

